

Министерство образования и науки Российской Федерации
Федеральное агентство по образованию ГОУ ВПО
Уфимский государственный авиационный технический университет

Факультет авиационного приборостроения
Кафедра телекоммуникационных систем

**Разработка пространственно-временного коммутатора и расчёт
блокировок построенного на его основе коммутационного поля**

Пояснительная записка
к курсовому проекту
по дисциплине «Сети связи и системы коммутации»

4072.403000.000 ПЗ

Выполнил:
студент группы МКС-415,
Абзалов А. В.
Проверил:
преподаватель Данилов А. Я.

Уфа–2007

Задание на курсовой проект

Содержание

Задание.....	4
Введение.....	5
1. Расчёт пространственно-временного коммутатора.....	6
1.1. Принцип работы пространственно-временного коммутатора.	6
1.2. Назначение элементов структурной схемы.....	7
1.3. Последовательно-параллельный преобразователь.....	8
1.4. Речевое и адресное запоминающие устройства.....	11
1.5. Мультиплексоры адреса АЗУ и РЗУ.....	14
1.6. Счётчик.....	16
1.7. Параллельно-последовательный преобразователь.....	17
2. Расчёт блокировок коммутационного поля в режиме индивидуального искания.....	18
Заключение.....	19
Список использованной литературы.....	20
Приложение А. Перечень элементов.....	21
Приложение Б. Схема электрическая принципиальная.....	22
Приложение В. Временные диаграммы.....	23

					4072.403000.000 ПЗ			
Изм.	Лист	№ докум.	Подпись	Дата				
Разраб.		Абзалов А.В.			Коммутатор 8x8 поток E1 Пояснительная записка	Лит.	Лист	Листов
Провер.		Данилов А.Я.					3	23
Реценз.						УГАТУ, ФАП, МКС-415		
Н. Контр.		Зуев О.О.						
Утв.		Султанов А.Х.						

Задание

Разработать пространственно-временной коммутатор потоков Е1 и рассчитать блокировки построенного на его основе коммутационного поля в режиме индивидуального искания.

Исходные данные:

$N=64$ – общее число входов коммутационного поля;

$n=8$ – число входов одного коммутатора;

$m=k=7$ – число коммутаторов в среднем звене;

$y=0,5$ эрл – интенсивность нагрузки на канал;

ИКМ-30 – система передачи.

Структура коммутационного поля, соответствующая исходным данным, представлена на рис. 1.

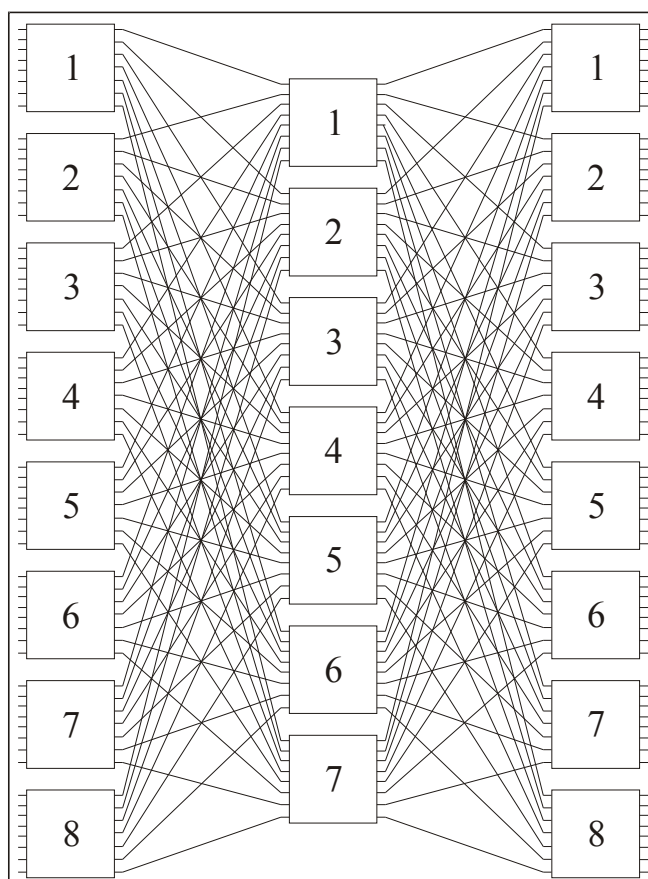


Рис. 1. Структура коммутационного поля.

Для реализации данного коммутационного поля рассчитаем пространственно-временной коммутатор 8×8 потоков Е1.

Изм.	Лист	№ докум.	Подпись	Дата
------	------	----------	---------	------

4072.403000.000 ПЗ

Лист

20

Введение

Всё в мире непрерывно меняется. Меняются люди, техника, экономика, природа, производство, наука, потребности, цели и пр. В первую очередь меняется информация о представлении мира каждым из нас. В частности, если рассматривать мир одного человека с его уровнем образования, положением в жизни, в обществе, или посмотреть на мир глобально – например, увидеть, как за какие-то 10-20 лет мир изменился с появлением сотовых телефонов, телевидения и компьютеров.

Если рассматривать современную систему связи, как часть транспортной системы, которая осуществляет передачу любого вида информации, то коммутация, или последовательное соединение одного канала передачи с другим, была бы указателем пути или «мостом», связывающим источник и приёмник этой информации друг с другом. Поэтому передача информации всегда осуществляется средствами передачи и коммутации.

Из всех людей, кто хотя бы раз брал в руки телефон, набирал необходимый номер и общался с кем-либо другим с помощью телефона, наверное, немного тех, кто по настоящему задумывался о том, как работает телефон, какие процессы происходят в ходе разговора и передачи речи другому абоненту. В основном, этими вопросами задаются связисты.

Эти вопросы, связанные с предоставлением надёжной и качественной передачи информации, напрямую зависят от надёжности и качества всех аппаратных средств, в том числе и коммутационного оборудования. Для решения вопросов и удовлетворения потребностей людей в быстрой передаче больших объёмов информации возникает необходимость в совершенствовании и модернизации средств связи. Бурное развитие цифровой техники связи также требует подробного изучения и предоставления знаний в этой области.

Именно поэтому разработка пространственно-временного коммутатора и расчёт блокировок построенного на его основе коммутационного поля являются немаловажным шагом к приобретению знаний в области связи.

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

1. Расчёт пространственно-временного коммутатора

В данном курсовом проекте ведётся разработка пространственно-временного коммутатора.

1.1. Принцип работы пространственно-временного коммутатора

На входы данных речевого запоминающего устройства (РЗУ) подаётся информация для записи с последовательно-параллельного преобразователя. Информация поступает под воздействием сигналов со счетчика, которые являются адресами для информации с последовательно параллельного преобразователя. Поток информации идёт непрерывно, и запись осуществляется регулярно следующим образом: в нулевую ячейку записывается нулевой канал нулевого тракта, в седьмую – нулевой канал седьмого тракта, в восьмую – первый канал нулевого тракта и так далее до двухсот пятьдесят пятой ячейки, в которую записывается информация из тридцать первого канала седьмого тракта. Информация в РЗУ изменяется каждый цикл.

К примеру, при соединении i -го входящего канала с j -м исходящим (для упрощения изложения $i=2, j=5$) происходят следующие операции. В режиме записи сигналы с управляющего устройства, представляющие собой числа 2 и 5 в двоичном коде, записываются на соответствующие регистры. Число 5 преобразуется через мультиплексор адреса адресного запоминающего устройства (АЗУ) и поступает на адресный вход адресного запоминающего устройства. При этом АЗУ записывает число 2 в 5-ю ячейку. В режиме считывания, когда счётчик досчитывает до пяти (5-й каналный интервал) из 5-й ячейки АЗУ будет считано число 2. Это число преобразуется, пройдя через мультиплексор адреса РЗУ, и поступает на вход адреса РЗУ. При этом считанное содержимое 2-й ячейки будет отправлено в 5-й каналный интервал. Эта информация поступает на параллельно-последовательный преобразователь, после которого она выходит уже в последовательном виде. Так работает схема пространственно-временного коммутатора, представленная на рис. 2.

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

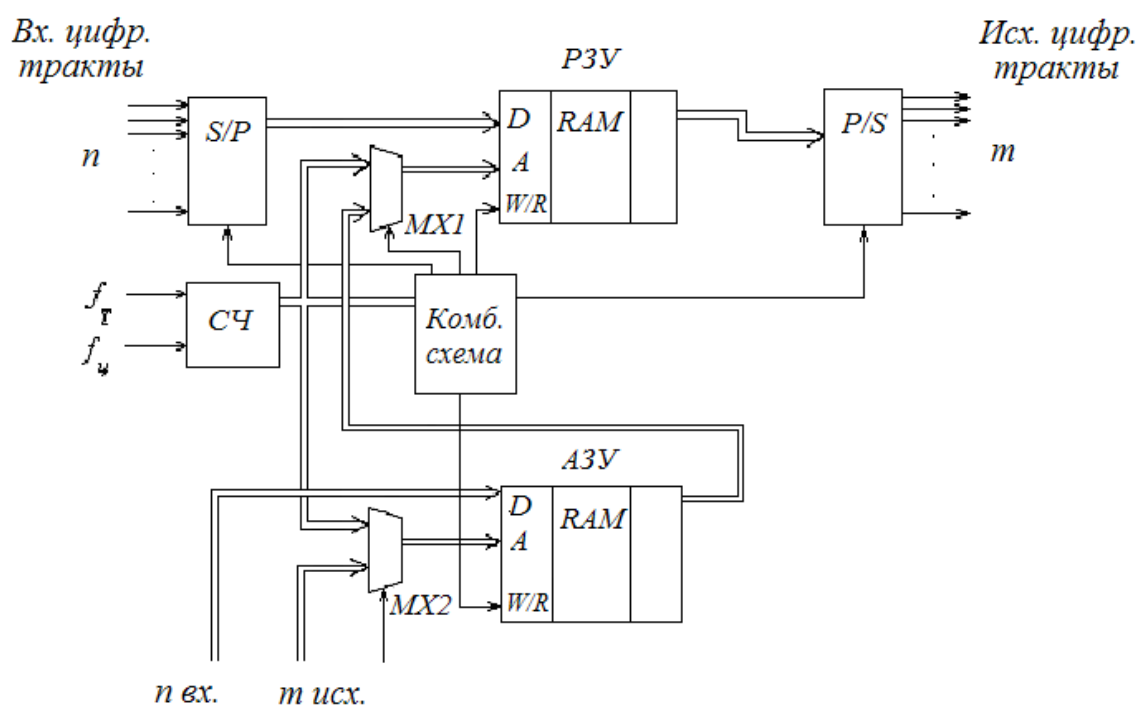


Рис. 2. Структурная схема пространственно-временного коммутатора 8×8

Условные обозначения:

S/P – последовательно-параллельный преобразователь;

P/S – параллельно-последовательный преобразователь;

P3У (ИЗУ) – речевое (информационное) запоминающее устройство;

A3У (УЗУ) – адресное (управляющее) запоминающее устройство;

СЧ – счётчик;

MX1 – мультиплексор адреса P3У;

MX2 – мультиплексор адреса A3У;

Комб. схема – комбинационная схема;

n вх. – регистр номера входящего канала;

m исх. – регистр номера исходящего канала.

1.2. Назначение элементов структурной схемы

Входящие сигналы с ИКМ трактов поступают на последовательно-параллельный преобразователь S/P, в котором информация, представленная в последовательной форме, преобразуется в параллельную. Далее с выхода последовательно-параллельного преобразователя S/P сигналы поступают на вход данных P3У. В P3У происходит регулярная запись под воздействием

Изм.	Лист	№ докум.	Подпись	Дата

4072.403000.000 ПЗ

Лист

20

сигналов со счетчика, являющихся адресами для РЗУ. Ёмкость РЗУ должна быть равна общему количеству канальных интервалов входящих трактов при разрядности, равной разрядности слова (8 бит), т. е. должна вмещать 256 8-разрядных слов. Информация изменяется каждый цикл. В АЗУ формируется карта соединений входящих и исходящих каналов. Регистры номера входящего и исходящего канала хранят номера коммутируемых входящих и исходящих каналов, а также предназначены для разгрузки оперативной памяти устройства управления. Мультиплексор МХ1 осуществляет автоматическое включение на адресный вход РЗУ сигналов со счетчика (в режиме записи) или сигналов с выхода АЗУ (в режиме считывания). Мультиплексор МХ2 осуществляет автоматическое включение на адресный вход АЗУ сигналов со счетчика (в режиме считывания) или сигналов с регистра номера исходящего канала (в режиме записи). Счётчик СЧ формирует сетку частот, являющуюся адресами для АЗУ и РЗУ. Дешифратор ДШ (на схеме не указан) предназначен для формирования сигналов РЕ (разрешения параллельной загрузки) регистров последовательно-параллельного и параллельно-последовательного преобразователей. В параллельно-последовательном преобразователе P/S происходит обратное преобразование информации из параллельной формы в последовательную.

1.3. Последовательно-параллельный преобразователь

Последовательно-параллельный преобразователь S/P построен на регистрах К555ИР9 и К155ИР13 и дешифраторе К555ИД10.

Микросхема К555ИР9 на рис. 3 представляет собой восьмиразрядный сдвигающий регистр с параллельной асинхронной записью данных и имеет два режима работы: параллельная загрузка и сдвиг. В регистрах К555ИР9 происходит непосредственное преобразование информации из параллельной формы в последовательную. На информационные входы параллельной загрузки D0–D7 каждого регистра подаются сигналы с входящих ИКМ трактов. Данные загружаются в регистры в тот момент, когда на входе разрешения параллельной

загрузки L с выхода дешифратора подаётся напряжение низкого уровня. При поступлении положительного перепада тактового импульса f_T на вход C в регистре происходит сдвиг данных вправо на одну позицию, в результате чего на последовательном выходе Q7 получим данные в последовательном виде, но сдвинутые на 8 тактов. В это время на входы C2 и DS регистров К555ИР9 подаётся уровень логического нуля. В первый регистр записываются первые восемь бит информации. Далее сигнал «0» подаётся на следующий регистр и на него записывается следующие восемь бит информации. Так операция записи проходит до последнего восьмого регистра. Назначение выводов и таблица истинности микросхемы К555ИР9 приведены в табл. 1 и 2.

Табл. 1. Назначение выводов микросхемы К555ИР9

Выводы	Назначение	Обозначение
11–14, 3–6	Входы параллельной загрузки	D0–D7
1	Разрешение параллельной загрузки/сдвиг	L
2	Тактовый вход	C1
15	Разрешение тактовым импульсам (задержка)	C2
10	Вход последовательной загрузки	DS
8	Общий (не обозначен)	0
9	Выход	Q7
7	Инвертирующий выход	Q7
16	Питание (не обозначен)	U _{cc}

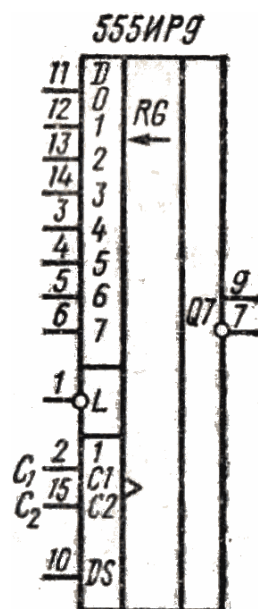


Рис. 3. Сдвигающий регистр К555ИР9

Табл. 2. Таблица истинности микросхемы К555ИР9

Режим работы	Входы					Внутреннее состояние		Выходы	
	L	C2	C1	DS	D0–D7	Q0	Q1...Q6	Q7	$\overline{Q7}$
Параллельная загрузка	0	X	X	X	0	0	0...0	0	1
	0	X	X	X	1	1	1...1	1	0
Последовательный сдвиг	1	0		0	X	0	Q0...Q5	Q6	$\overline{Q6}$
	1	0		1	X	1	Q0...Q5	Q6	$\overline{Q6}$
Хранение	1	1	X	X	X	Q0	Q1...Q6	Q7	$\overline{Q7}$

Для того чтобы информация с последовательно-параллельного преобразователя выходила одновременно, необходимо использовать

Изм.	Лист	№ докум.	Подпись	Дата
------	------	----------	---------	------

восьмиразрядные сдвигающие регистры К155ИР13 с синхронной параллельной записью, приведённые на рис. 4. Микросхема К155ИР13 работает в трёх режимах: параллельный ввод, последовательный ввод со сдвигом вправо и последовательный ввод со сдвигом влево. Режимы устанавливаются соответствующим кодом на входах M0 и M1. Для последовательного ввода и сдвига вправо (влево) информация подаётся поразрядно на вход DS0 (DS7). Сдвиг происходит при поступлении положительного перепада тактового импульса f_T на вход C. В этом случае R=1, а состояние входов D0–D7 произвольно. Асинхронное обнуление регистра происходит при R=0. Так как на разных регистрах должен быть получен сдвиг на разное количество тактов, данные снимаются с разных выходов регистра К155ИР13 (с выхода Q6 со сдвигом на 7 тактов; с Q5 – на 6 тактов; с Q4 – на 5 тактов и т. д.). Назначение выводов и таблица истинности микросхемы К155ИР13 приведены в табл. 3 и 4.

Табл. 3. Назначение выводов микросхемы К155ИР13

Выводы	Назначение	Обозначение
3,5,7,9,15, 17,19,21	Информационные входы	D0–D7
11	Вход синхронизации	C
22	Сдвиг влево	DS7
2	Сдвиг вправо	DS0
1,23	Установка режима	M0, M1
13	Вход сброса	R
12	Общий (не обозначен)	0
4,6,8,10,14, 16,18,20	Информационные выходы	Q0–Q7
24	Питание (не обозначен)	U_{cc}

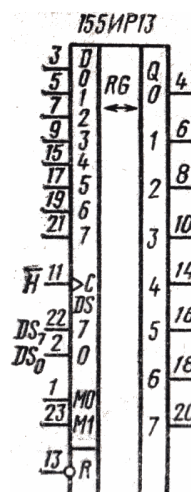


Рис. 4. Сдвигающий регистр К155ИР13

Табл. 4. Таблица истинности микросхемы К155ИР13

Режим работы	Входы						Выходы			
	C	R	M0	M1	DS0	DS7	D0–D7	Q0	Q1...Q6	Q7
Сброс		0	X	X	X	X	X	0	0...0	0
Хранение		1	0	0	X	X	X	Q0	Q1...Q6	Q7
Сдвиг влево		1	1	0	X	0	X	Q1	Q2...Q7	0
		1	1	0	X	1	X	Q1	Q2...Q7	1
Сдвиг вправо		1	0	1	0	X	X	0	Q0...Q5	Q6
		1	0	1	1	X	X	1	Q0...Q5	Q6
Параллельная загрузка		1	1	1	1	X	D0–D7	D0	D1...D6	Q7

Дешифратор К555ИД10 на рис. 5 формирует сигналы разрешения параллельной загрузки L, которые поступают на вход регистров К555ИР9. На вход DI1 со счётчика подаётся сигнал с частотой $f_T/2$, на DI2 – с частотой $f_T/4$, на DI4 – с частотой $f_T/8$, а на вход DI8 подаётся уровень логического нуля. Выходы DO8 и DO9 не используются. Назначение выводов и таблица истинности микросхемы К155ИД10 приведены в табл. 5. и 6.

Табл. 5. Назначение выводов микросхемы К555ИД10

Выводы	Назначение	Обозначение
12–15	Информационные входы	DI8, DI4, DI2, DI1
8	Общий (не обозначен)	0
1–7,9–11	Информационные выходы	DO0–DO9
16	Питание (не обозначен)	U_{cc}

Табл. 6. Таблица истинности микросхемы К555ИД10

Входы DI				Выходы DO							
8	4	2	1	0	1	2	3	4	5	6	7
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0

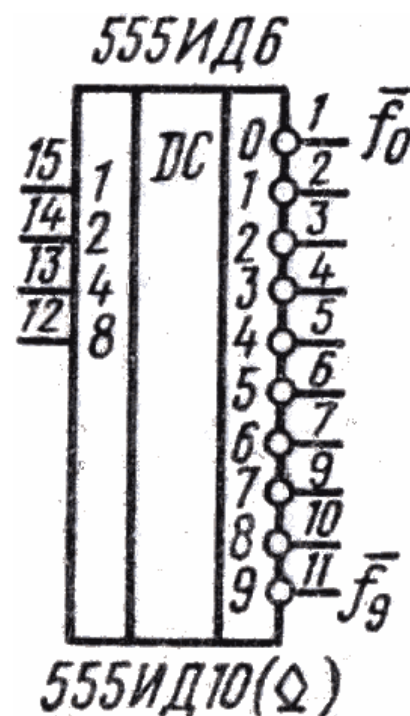


Рис. 5. Дешифратор К555ИД10

Таким образом, информация с каждого канала, проходя через регистры последовательно-параллельного преобразователя S/P, подаётся на РЗУ одновременно в параллельном виде.

1.4. Речевое и адресное запоминающие устройства

Речевое и адресное запоминающие устройства выбираются по критериям быстродействия и ёмкости. Быстродействие запоминающего устройства определяется временем выборки адреса:

$$t_{\text{выб}} = \frac{T_{\text{ц}}}{2 \cdot n \cdot K} = \frac{125 \cdot 10^{-6}}{2 \cdot 8 \cdot 32} = 244 \text{ нс,}$$

где $T_{\text{ц}}=125 \text{ мкс}$ – период цикла для системы передачи ИКМ-30,

$K=32$ – число канальных интервалов в системе передачи ИКМ-30 или коэффициент уплотнения входящих ИКМ трактов.

Ёмкость запоминающего устройства определяется числом входящих ИКМ трактов и разрядностью передаваемых сигналов. Ёмкость запоминающих устройств в данном коммутаторе должна быть не менее $256 \text{ слов} \times 8 \text{ бит} = 2048 \text{ бит}$. В качестве РЗУ и АЗУ выберем 2 микросхемы КМ185РУ7 на рис. 6, параметры, назначение выводов и таблица истинности которой приведены в табл. 7, 8 и 9.

Табл. 7. Параметры микросхемы КМ185РУ7

Информационная ёмкость	1024 бит
Организация	256 слов×8 бит
Время выборки адреса	Не более 45 нс
Напряжение питания	5 В±5%
Входное напряжение низкого уровня	≤0,8 В
Входное напряжение высокого уровня	≥2,1 В
Выходное напряжение низкого уровня	≤0,45 В
Выходное напряжение высокого уровня	≥2,4 В
Входной ток низкого уровня	≤0,3 мА
Входной ток высокого уровня	≤0,04 мА
Выходной ток низкого уровня	≤8 мА
Выходной ток высокого уровня	≤5,2 мА
Потребляемая мощность	Не более 710 мВт
Диапазон температур	-10...+70 °С
Выход	Три состояния
Совместимость по входу и выходу	С ТТЛ-схемами
Тип корпуса	Металлокерамический

Табл. 8. Назначение выводов микросхемы КМ185РУ7

Выводы	Назначение	Обозначение
1–7,21	Адресные входы	A0–A7
9,11,13,15	Входы данных	DI0–DI3
17,19	Выбор микросхемы	CS1,CS2
20	Сигнал запись/считывание	WR/RD
18	Разрешение по выходу	CEO
8	Общий (не обозначен)	0
10,12,14,16	Выходы данных	DO0–DO3
22	Питание (не обозначен)	U _{cc}

Табл. 9. Таблица истинности микросхемы KM185PY7

Режим работы	CS1	CS2	CEO	WR/RD	A0–A7	DI0–DI3	DO0–DO3
Хранение	M	M	X	X	X	X	Z
Запись 0	H	L	X	L	A	L	Z
Запись 1	H	L	X	L	A	H	Z
Считывание	H	L	L	H	A	X	Данные в прямом коде
Запрет выхода	H	L	H	H	A	X	Z

Примечание: M – любая комбинация уровней или сигналов, отличная от CS1=H и CS2=L; X – безразличный уровень сигнала; H – высокий уровень сигнала; L – низкий уровень сигнала; A – значение текущего адреса; Z=R_{off} – выходное сопротивление при третьем состоянии (высокоомный уровень).

Микросхема KM185PY7 состоит из накопителя 256×4 бит, дешифратора DC X на 32 выхода, дешифратора DC Y на 8 выходов, формирователей сигналов, усилителей считывания, формирователей записи, формирователей адресных сигналов и входных данных, схемы управления записью, считыванием, выбором микросхемы. Микросхема имеет отдельные шины по входным и выходным данным. Микросхема с полной дешифрацией адреса требует 8 адресных входных шин для выбора одного четырёхразрядного слова из 256 хранимых слов. Все входные сигнальные шины имеют буферные усилители для уменьшения их шунтирующего действия.

Микросхема KM185PY7 работает в режимах записи, считывания и хранения. Она является асинхронной схемой, поэтому в режиме считывания сигналы CS и WR/RD могут подаваться уровнями или импульсами. При записи информации в микросхему импульсным сигналом (стробом) может быть либо сигнал записи WR/RD, либо сигнал выбора CS.

На информационные входы АЗУ подаются сигналы с управляющего устройства, а на адресные входы – с мультиплексора адреса АЗУ. На вход CS1 подаётся уровень логической единицы, CS2 – логического нуля. На вход

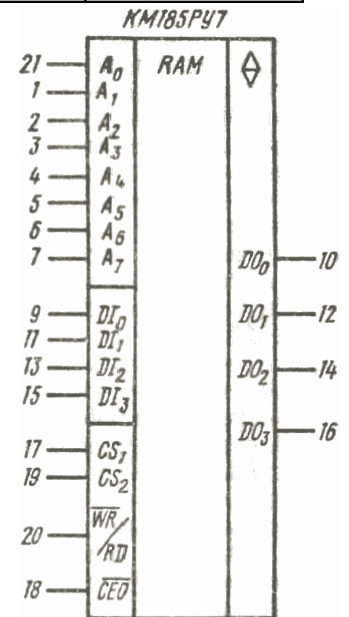


Рис. 6. ОЗУ KM185PY7

Изм.	Лист	№ докум.	Подпись	Дат а
------	------	----------	---------	-------

WR/RD подаётся сигнал записи с управляющего устройства (комбинационной схемы). Сигнал разрешения по выходу CEO подаётся с частотой f_T . Сигнал, считанный с АЗУ, имеет малую длительность, поэтому информация с информационных выходов DO1–DO7 АЗУ поступает на информационные входы регистра K155IP13, работающего в режиме параллельной загрузки. В регистре происходит стробирование сигналов по частоте f_T , где на вход С подаётся сигнал синхронизации с частотой f_T . Синхронную работу регистра K155IP13 обеспечивают входы выбора режима M0 и M1, на которые подаётся уровень логической единицы. На входы DS0 и DS7 подаётся уровень логического нуля. При этом на выходе стробирующего регистра полученные данные сдвигаются на 1 такт вправо. Далее информация подаётся на мультиплексор адреса РЗУ.

С мультиплексора адреса РЗУ сигналы подаются на адресные входы РЗУ. На информационные входы РЗУ подаётся информация с последовательно-параллельного преобразователя, причём с задержкой на один такт через регистр K155IP13 для синхронизации с адресными данными. Остальные входы РЗУ работают аналогично входам АЗУ. Для увеличения длительности информационных импульсов на выходах DO1–DO7 РЗУ, сигналы также стробируются по частоте f_T с помощью стробирующего регистра K155IP13, работающего в режиме параллельной загрузки. Таким образом, на выходе регистра данные сдвигаются ещё на 1 такт вправо. Далее информация подаётся на параллельно-последовательный преобразователь.

1.5. Мультиплексоры адреса АЗУ и РЗУ

Мультиплексоры предназначены для автоматической выборки одного из двух информационных каналов и подключения его к своему выходу. На нулевые информационные входы мультиплексора адреса АЗУ подаются сигналы со счётчика, а на единичные информационные входы – сигналы с номера исходящих каналов с управляющего устройства. В режиме записи в АЗУ мультиплексор пропускает сигналы с управляющего устройства, а в

режиме считывания из АЗУ – сигналы со счётчика. На нулевые информационные входы мультиплексора адреса РЗУ подаются сигналы со счётчика через задерживающий регистр К155ИР13, а на единичные информационные входы – сигналы со стробирующего регистра после АЗУ. Так как сигналы со стробирующего регистра приходят с задержкой в 1 такт, то сигналы со счётчика тоже необходимо задержать на 1 такт. Задержку осуществляют на регистре К155ИР13 задержки адреса, работающем в режиме параллельной загрузки. В режиме записи в РЗУ мультиплексор пропускает сигналы со счётчика, а в режиме считывания из РЗУ – сигналы с выхода АЗУ. На адресном входе А поступают сигналы, противоположные сигналу синхронизации с частотой f_T , с комбинационной схемы. На стробирующий вход Е подаётся сигнал логического нуля. Мультиплексоры адреса АЗУ и РЗУ построены на основе микросхемы К555КП16, представленной на рис. 7. Параметры, назначение выводов и таблица истинности микросхемы К555КП16 приведены в табл. 10, 11 и 12.

Табл. 10. Параметры микросхемы К555КП16

Напряжение питания	5 В±5%
Входное напряжение низкого уровня	≤0,8 В
Входное напряжение высокого уровня	≥2,1 В
Выходное напряжение низкого уровня	≤0,4 В
Выходное напряжение высокого уровня	≥2,4 В
Входной ток низкого уровня	≤-1,6 мА
Входной ток высокого уровня	≤0,04 мА
Выходной ток низкого уровня	≤8 мА
Выходной ток высокого уровня	≤5,2 мА

Табл. 11. Назначение выводов микросхемы К555КП16

Выводы	Назначение	Обозначен
2,3,5,6,10,11,13,14	Информационные входы	DI00–DI30, DI01–DI31
1	Вход выборки адреса	А
15	Вход стробирования	Е
8	Общий (не обозначен)	0
4,7,9,12	Информационные выходы	DO0–DO3
16	Питание (не обозначен)	U _{cc}

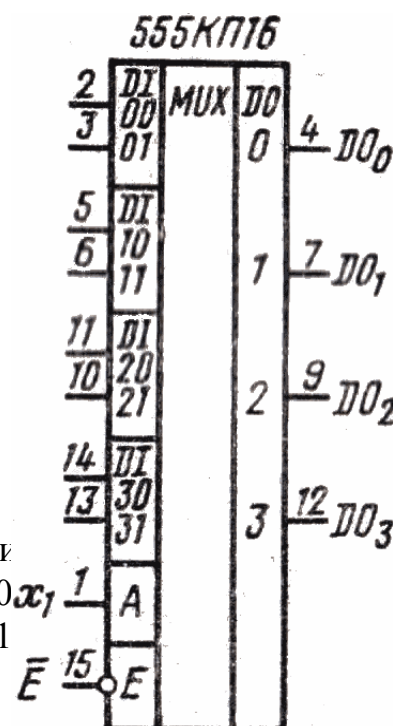


Рис. 7.

Мультиплексоры адреса АЗУ и РЗУ

Табл. 12. Таблица истинности микросхемы K555КП16

E	A	DI00–DI30	DI01–DI31	DO0–DO3
1	X	X	X	Z
0	0	Данные в прямом коде	X	Данные в прямом коде
0	1	X	Данные в прямом коде	Данные в прямом коде

1.6. Счётчик

Счётчик формирует сетку частот для дешифраторов и адресов для АЗУ и РЗУ. Счётчик запускается положительным перепадом тактового импульса, подаваемым на вход синхронизации С при наличии на входах разрешения счёта РО и Е напряжения высокого уровня. Входы РО и Е неравноправны: по входу Е разрешается не только счёт, но и распространение сигнала переноса. На вход С подаётся сигнал синхронизации с частотой f_t , на вход параллельной загрузки L подаётся уровень логической единицы, а на входы предварительной установки D0–D3 – уровень логического нуля. Асинхронный сброс счётчика в нулевое состояние осуществляется подачей напряжения низкого уровня на вход сброса R с устройства управления с частотой $f_{ц}$. После обнуления счётчик переходит в начальное состояние и начинается новый цикл сложения. Счётчик представляет собой две каскадно-соединённых четырехразрядных синхронных двоичных микросхемы K555ИЕ10, представленных на рис. 8. Назначение выводов и таблица истинности микросхемы K555ИЕ10 приведены в табл. 13 и 14.

Табл. 13. Назначение выводов микросхемы K555ИЕ10

Выводы	Назначение	Обозначение
3,4,5,6	Входы предварительной установки	D0–D3
9	Вход предварительной загрузки	L
2	Вход синхронизации	C
7,10	Входы разрешения счёта	PO, E
1	Вход сброса	R
8	Общий (не обозначен)	0
14,13,12,11	Счётные выходы	Q0–Q3
15	Выход окончания счёта	P4
16	Питание (не обозначен)	U _{cc}

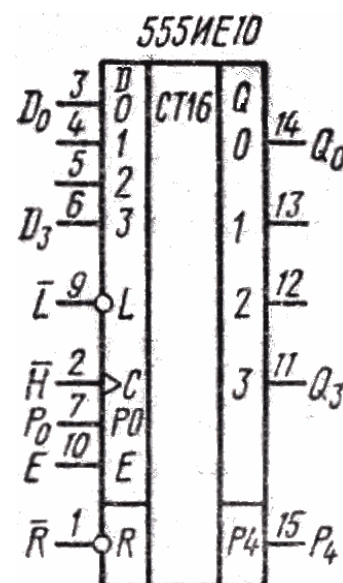


Рис. 8. Счётчик

Изм.	Лист	№ докум.	Подпись	Дата
------	------	----------	---------	------

Табл. 14. Таблица истинности микросхемы K555IE10

Режим работы	Входы					Выходы		
	R	C	PO	E	L	D0–D3	Q0–Q3	P4
Сброс	0	X	X	X	X	X	0	0
Параллельная загрузка	1		X	X	0	0	0	0
	1		X	X	0	1	1	1
Счёт	1		1	1	1	X	счёт	1
Хранение	1	X	0	X	1	X	Q0–Q3	1
	1	X	X	0	1	X	Q0–Q3	1

1.7. Параллельно-последовательный преобразователь

Параллельно-последовательный преобразователь предназначен для преобразования внутренней информации коммутатора, представленной в параллельной форме в последовательную форму для передачи в исходящие ИКМ тракты. Элементная база и принцип действия параллельно-последовательного преобразователя аналогичны последовательно-параллельному преобразователю.

Поскольку на параллельно-последовательный преобразователь информация поступает с задержкой в 2 такта относительно последовательно-параллельного преобразователя, то и сигналы разрешения параллельной загрузки L необходимо задержать. Для этого сигналы с регистра задержки адреса подаются на дешифратор K155ИД10 через второй регистр задержки K155ИР13.

2. Расчёт блокировок коммутационного поля в режиме индивидуального искания

На основе рассчитанного пространственно-временного коммутатора строим коммутационное поле согласно структуре приведенной на рис. 1. В первом звене 8×7 используем коммутатор, у которого задействованы все 8 входов и только 7 выходов; во втором звене 8×8 используем коммутатор, у которого задействованы все 8 входов и все 8 выходов; в третьем звене 7×8 используем коммутатор, у которого задействованы только 7 входов и все 8 выходов.

Режим индивидуального искания характеризуется соединением конкретного канала с конкретным трактом. Для расчёта блокировок коммутационного поля используется метод вероятностных графов или метод Ли. Вероятностный граф отображает структуру коммутационного поля в графе своих состояний. Вероятностный граф трёхзвенного коммутационного поля, построенного на основе коммутатора 8×8 , представлен на рис. 9.

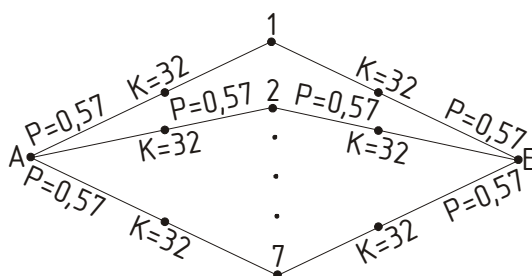


Рис. 9. Вероятностный граф коммутационного поля

В данном методе за вероятность занятия канального интервала равна: $p = y / (m/n) = 0,5 / (7/8) = 0,57$. Для системы передачи ИКМ-30 в каждом тракте (ребре) используется $K=32$ канала. Вероятность блокировки коммутационного поля в режиме индивидуального искания рассчитывается по формуле:

$$P_{\text{бл}} = [1 - (1 - p^K)^2]^m = [1 - (1 - 0,57^{32})^2]^7 = 4,64 \cdot 10^{-53}.$$

Применение метода вероятностных графов корректно, так как данная схема коммутационного поля не является схемой Клосса.

Изм.	Лист	№ докум.	Подпись	Дата

Заключение

В курсовом проекте был рассчитан пространственно-временной коммутатор 8×8 потоков Е1 для системы передачи ИКМ-30, а также на его основе было реализовано коммутационное поле, соответствующее исходным данным. При построении электрической принципиальной схемы данного коммутатора и выборе его элементов были использованы микросхемы серий К555, К155, КМ185, совместимые по входу и выходу с ТТЛ-схемами. Далее были рассчитана вероятность блокировки данного коммутационного поля, которая при нагрузке $\gamma=0,5$ эрл совсем незначительна. Но поскольку данная схема коммутационного поля не является схемой Клосса (выражение $m \geq 2 \cdot n - 1$ не выполняется), то при больших значениях нагрузки на канал вероятность блокировок существенно возрастает.

Так как данный курсовой проект является только учебным и ознакомительным, то в ходе разработки и реализации пространственно-временного коммутатора многие факторы не учитывались. Задача данного курсового проекта не состоит в том, чтобы разработанный коммутатор был наиболее оптимальным и соответствовал всем требованиям теории связи. Поэтому при выполнении этого курсового проекта удалось извлечь самое главное: научиться рассчитывать коммутатор, проектировать электрическую схему, выбирать элементы с требуемыми параметрами, строить временные диаграммы на каждом участке, определять вероятность блокировок коммутационного поля, построенного на основе рассчитанных коммутаторов, и понять важность полученных навыков и знаний как для теории систем коммутации, так и для обычного использования телекоммуникационных систем в современном мире.

Список использованной литературы

1. Данилов А.Я. Методические указания к выполнению курсовой работы по дисциплине «Сети связи и системы коммутации». – Уфа: УГАТУ, 2006. – 23 с.
2. Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов. – М.: Горячая линия – Телеком, 2002. – 336 с.
3. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
4. Большие интегральные схемы запоминающих устройств: Справочник. Под ред. Гордонова А.Ю. – М.: Радио и связь, 1990. – 288 с.
5. Гольдштейн Б.С. Системы коммутации: Учебник для вузов. – 2-е изд. – СПб.: БХВ – Санкт-Петербург, 2004. – 314 с.
6. Баркун М.А., Ходасевич О.Р. Цифровые системы синхронной коммутации. – М.: Эко-Трендз, 2001. – 190 с.
7. Дж. Беллами. Цифровая телефония. – М.: Радио и связь, 1986. – 544 с.
8. Абилов А.В. Сети связи и системы коммутации. – Ижевск: ИжГТУ, 2002. – 352 с.

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

Приложение А. Перечень элементов

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

Приложение Б. Схема электрическая принципиальная

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

Приложение В. Временные диаграммы

					4072.403000.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20